

CLOCK CONTROL SYSTEM

Publication number: JP52109841

Publication date: 1977-09-14

Inventor: WATANABE KAZUO

Applicant: HITACHI LTD

Classification:

- International: *G06F9/22; G06F1/04; G06F1/08; G06F7/00; G06F9/30;
G06F9/22; G06F1/04; G06F1/08; G06F7/00; G06F9/30;
(IPC1-7): G06F1/04*

- european:

Application number: JP19760026203 19760312

Priority number(s): JP19760026203 19760312

Report a data error here

Abstract of JP52109841

PURPOSE:To enable high speed operation for entire system even with the logic bus having greater delay time, by providing the clock period selecting control signal to the specific field of micro instruction.

Data supplied from the **esp@cenet** database - Worldwide

①日本国特許庁

①特許出願公開

公開特許公報

昭52—109841

⑤Int. Cl.²
G 06 F 1/04

識別記号

⑥日本分類
97(7) F 01

庁内整理番号
6745—56

④公開 昭和52年(1977)9月14日

発明の数 1
審査請求 未請求

(全 6 頁)

④クロック制御方式

地株式会社日立製作所中央研究
所内

②特 願 昭51—26203

①出 願 人 株式会社日立製作所

②出 願 昭51(1976)3月12日

東京都千代田区丸の内一丁目5
番1号

②発 明 者 渡辺一生

国分寺市東恋ヶ窪1丁目280番

④代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 クロック制御方式

特許請求の範囲

クロックパルスに同期して論理動作を行なう情報処理装置において、制御処理における論理バスを検出する手段と、当該手段により検出された信号によつて、クロックパルスの周期を変更する手段を有することを特徴とするクロック制御方式。

発明の詳細な説明

本発明は電子計算機、とくに高密度集積化された小形電子計算機（以下マイクロプロセッサと称する）における演算制御のためのクロック制御方式に関するものである。

近年の半導体技術の進歩により、電子計算機を1ないし数個のLSIチップに集積化したマイクロプロセッサが実現している。マイクロプロセッサはLSI化されるということから、集積度、デバイスの動作スピード、パッケージのピン数といったLSI特有のパラメータが、処理装置のアーキテクチャに種々の制限を与えている。

マイクロプロセッサの応用分野も初期のプログラムブルロジックにとどまらず、高速コントローラやミニコンリプレースというように多様化の一途をたどつており、より高速でしかも機能の高いマイクロプロセッサの出現が盛請されつつある。

一般に計算機の処理速度はそのシステムの論理的なクリティカルバスでの遅延時間によつて決まる。すなわちクロックパルスに同期して論理動作を行なうシステムでは、論理素子の遅延により生じる信号とクロックパルスとの時間的なずれが、システムの誤動作をまねくことになる。そこでこの時間的なずれが最大となる、つまり信号の遅れが最大となる論理バスをクリティカルバスと称し、システムの動作速度限界を与える要因として設計上次のような考慮を行なつてゐる。

- (1) クリティカルバスの論理デプスを浅くする。
- (2) クリティカルバスに含まれるゲートに高速なものをを用いる。

(1)は方式論理上の考慮で、LSI化の場合にはシステムの分割の問題に含めて最適化していくこ

とが必要である。一方、(2)はLSI化するうえで特に大きな問題となる。すなわち、LSIの場合には個別部品のように部品の選択自由がないので、デバイスのサイズ、回路形式、電流値などを変えて所定の性能を実現することになる。しかしチップの集積度や熱的(パワー)な制限が厳しい場合には、所定の性能が得られなくなることもある。以上のべたようにLSI論理システムの動作周波数は、極端に伝播遅延の大きな論理パスが1つでもあるとその遅延時間で規定されてしまうわけである。

本発明の目的は上記のような問題点を解決し、遅延時間の大きな論理パスが存在してもシステム全体では高速に動作し得る演算制御方式を提供することにある。

上記の目的を達成するために、本発明ではクロックの周波数を処理装置の制御に合わせて適宜変化せしめて処理速度の向上をはかることとした。

以下本発明を実施例により詳細に説明する。

第1図は本発明の演算制御方式を採用したマイ

コントロール12は、リードオンリメモリ13のアドレス制御LSIで、命令デコーダ11からの先頭アドレス指定情報をもとに読み出しアドレスをつくり、リードオンリメモリ13に送る。

リードオンリメモリ13には命令の実行ルーチンをはじめ、各種の制御プログラムがマイクロ命令で組まれて格納されている。シーケンスコントロール12で指定されたアドレスのマイクロ命令が読み出されると、それはコントロールバス21を介し、レジスタユニット10、命令デコーダ11、バスコントローラ(BC)15、入出力コントローラ(I/O C)16、ステータスコントローラ(STC)17の各LSIチップにユマンドとして送られる。

バスコントローラ15はデータバスの優先権制御を行なう機能を有している。また、入出力コントローラ16は主メモリ18ならびに外部入出力デバイスの制御インタフェース信号を生成するためのLSIである。ステータスコントローラ17は、処理装置の状態情報の制御や割込みの優先制

御を行なう機能を有している。
クロックプロセッサのシステム構成図である。このマイクロプロセッサは、ビットスライス形式の16ビット処理装置である。4ビットスライスされたレジスタユニット(RU)10は1つのLSIチップに集積化されている。したがって4個のレジスタユニット10で16ビットのデータ処理機構が構成される。レジスタユニット10の内部は2ポートアクセス機能を有する16個のレジスタ群のほか、データセレクト、演算回路、シフターなどで構成される。命令デコーダ(IRD)11、シーケンスコントローラ(SCU)12はレジスタユニット10を制御するためのマイクロ命令がストアされるリードオンリメモリ(ROM)13のアドレス制御を行なう部分で、それぞれ1つのチップにLSI化されている。命令デコーダ11は、データバス20を介し主メモリ18より読み出した命令語を解釈し、その命令を実行するためのマイクロ命令が格納されているリードオンリメモリ13の先頭アドレス指定情報をつくり、シーケンスコントロール12に送出する。シーケンス

御を行なう機能を有している。

以上のべた16ビットの処理装置は、クロックゼネレータ(CPG)14より発生されるクロックパルス(ϕ_1, ϕ_2)によりタイミング制御される。このクロックゼネレータ14には、リードオンリメモリ13より読み出した制御コマンド(マイクロ命令)の特定のビットフィールドよりの信号が印加されている。この信号の働きは、クロックゼネレータの周波数変換回路に与えられ、クロックパルス(ϕ_1, ϕ_2)の周波数を変更せしめることにある。即ちリードオンリメモリ13より取り出したマイクロ命令の中の特定ビットの状態によつて、クロックゼネレータ14は異なる周波数のクロックパルス(ϕ_1, ϕ_2)を発生するわけである。

第2図は本実施例に示したマイクロプロセッサの基本となるタイミング関係図である。クロックパルス ϕ_1 と ϕ_2 は互いに逆位相の関係にある2相のクロックパルスで、その繰返し周期はTである。同図の下部にはそのクロックパルスとプロセッサの基本処理機能との時間的な相対関係を示し

ている、すなわちクロック ϕ_1 の立上がりよりリードオンリメモリ13のアクセスが開始され、 $\frac{T}{4}$ （アクセスタイム）周期後にマイクロ命令が読み出されてくる。（図のF、の期間）この期間がマイクロ命令のフェッチ期間である。

フェッチF、で読出されたマイクロ命令は、レジスタユニット10およびシーケンスコントローラ12に送られ、レジスタユニット10では演算制御が、シーケンスコントローラ12ではマイクロプログラムのアドレスコントロールが行なわれる。

このレジスタユニット10での演算制御に割当てられるのはTの期間である。（図のE、の期間）この期間がマイクロ命令の実行期間である。実行E、の期間の先頭ではシーケンスコントローラ12においてブランチ条件の判定を行なう。この判定で次に実行すべきアドレスを決定する。すなわちもし読出したマイクロ命令がブランチ命令であれば、分岐条件の判定結果にもとづいてマイクロ命令に書かれている分岐アドレスをとり出し、

リードオンリメモリ13のアドレスレジスタにセットするか、あるいはアドレスレジスタに1を加えるかの制御を行なう、クロック ϕ_1 の次の立上がり（T）でそのアドレスの指すロケーションに対してマイクロ命令のフェッチ（F、）を開始する。

このように本マイクロプロセッサの基本的な実行制御は、マイクロ命令のフェッチと実行はオーバーラップ動作を行なっている。

以上は本マイクロプロセッサの基本的な動作タイミングであるが、実はこのようにクロックパルスの周期を一定値（T）に固定しておく、いわゆるクリティカルパスによつてこの周期Tが決まることになる。

そこで本発明では第3図に示すようにマイクロ命令つまり制御内容によつてクロックの周期を変化させようとするものである。第3図にて期間0～Tまでは第2図のときと全く同じであるが、フェッチF、で読み出されたマイクロ命令の実行期間E、が2Tに引伸ばされている。

これは、フェッチF、で読出されたマイクロ命令の特定ビッ

トフィールドに、そのマイクロ命令を実行するときのクロックパルスの周期をいくらにするかが書いてあり、その情報がクロックゼネレータ14に入力され、クロックパルス（ ϕ_1 、 ϕ_2 ）の周期を変更していることによる。

このように読み出したマイクロ命令に、その命令を実行するのに必要なクロックの周期をあらかじめ記入しておき、この情報にもとづき実行期間におけるクロックパルスの周期を変更することによつて、クリティカルパスを通る制御以外の論理パスに対してはクロックパルスの周期を短縮できるので高速な演算処理が実現できる。

第4図はクロック制御回路の一実施例を示す回路図で第5図はそのタイムチャートである。

この回路はマイクロ命令からの制御信号によつてクロックの周期をTおよび2Tのどちらかに切替える機能の回路である。このように周波数を切替える場合、周期の切れ目で正しく切替えを行わないとクロックパルスに連続性がなくなり、システムの誤動作を招くことになる。

この回路ではJ-Kフリップ・フロップからなる2組のカウンタを用意し、これをマイクロ命令からのクロック切換え信号によつて切換えて所定の周期のクロックパルスを発生するようにしている。J-Kフリップ・フロップ39が1つのカウンタでこれはフリップ・フロップ33がセットされている間中は、CP端子46より入力されるパルスを分周して出力する。ここで入力パルスは水晶発振回路で生成される原クロックである。

もう1つのカウンタはJ-Kフリップ・フロップ40と41のカスケードカウンタで構成される。

J-Kフリップ・フロップ40は無条件で原クロックパルスの分周出力を次段のアンドゲート48に伝える。アンドゲート48のもう一方の入力には、フリップ・フロップ34の出力が入力されており、このフリップ・フロップ34がセットされているときのみJ-Kフリップ・フロップの出力は次段のJ-Kフリップ・フロップ41に伝えられる。したがって、このときJ-Kフリップ・フロップ41の出力には、CP端子46より入

力された原クロックパルスの丁度4倍の周期を有するパルスが生じる。

フリップ・フロップ33のセット端子はオアゲート32につながれており、アンドゲート30およびG端子47からのリセットパルスによつてセットされる。一方リセット端子はアンドゲート31の出力につながれている。又、フリップ・フロップ34のセット端子はフリップ・フロップ33のリセット端子に共通になつている。一方リセット端子はオアゲート35の出力につながれ、アンドゲート30およびG端子47からのリセットパルスによつてリセットされる。

制御入力端子44、45にはマイクロ命令中のクロック制御用ビットをデコードして得られた信号(a, b)が入力される。オアゲート36よりリセットパルス(SET)が生じると制御信号a, bの状態がフリップ・フロップ33もしくはフリップ・フロップ34にセットされる。

フリップ・フロップ33とフリップ・フロップ34が同時にセットされることがないように、一

パルスによりQおよびQ端子に2倍周期のパルスを生ずる。このとき、FF, 34のQ出力は“L”であるから、アンドゲート48はオフで、J-Kフリップ・フロップ41(以下FF, とかく)のQ端子は“L”、Q端子は“H”となつている。したがつて、オアゲート42、43の出力からは、 ϕ_1, ϕ_2 として原クロックパルスの2倍周期の2相クロックが出力される。

ここで、CP-3で制御信号aが“H”に転じたとすると、オアゲート36の出力(SET)により、アンドゲート30が開き、オアゲート32を通じてFF, 33をセットする。このとき、G端子47からのリセットパルスですでにFF, 33はセットされているので、その内容は変化せず、クロックパルス(ϕ_1, ϕ_2)の周期は変化しない。

次にCP-7で制御信号bが“H”になりaが“L”になつたとする。するとアンドゲート37にてFF, 39の出力の周期の切れ目が検出され、これがオアゲート36を経てアンドゲート31を

特開 昭52-109841(4)
方のフリップ・フロップがセットされると、他方のフリップ・フロップがリセットされるように構成してある。

アンドゲート37、38およびオアゲート36から成るゲート回路は、クロックパルスの周期の終了部分を検出する回路で、オアゲート36の出力信号(SET)によつてフリップ・フロップ33、34のセット入力ゲートが開閉される。又、オアゲート42、43は2つのカウンタからの出力を合成して、所要の2相クロック(ϕ_1, ϕ_2)を生成する回路である。

第5図に従いこの回路の動作を簡単に説明する。いま、G端子47よりリセット信号が入力された状態を考える。リセット信号はオアゲート32を通じフリップ・フロップ33(以下FF, とかく)をセットし、又オアゲート35を通じフリップ・フロップ34(以下FF, とかく)をリセット状態に固定する。その結果、J-Kフリップ・フロップ(以下FF, とかく)39のJ-K端子は“H”となり、T端子に加えられる原クロック

オンにし、FF, 34をセットし、FF, 33をリセットする。その結果アンドゲート48がオンし、J-Kフリップ・フロップ40(以下FF, とかく)の出力がFF, 41のJ-K信号として伝わる。

一方、FF, 33はリセットされるので、FF, 39のJ-K端子は“L”になり、原クロックパルスに対して応答をしなくなり、その代りにFF, 41からの原クロックパルスの4倍周期のパルスがオアゲート42、43に加わり、 ϕ_1, ϕ_2 の周期は2倍(つまり周波数が半分)となる。この状態ではアンドゲート38によつて、4倍周期で動作するFF, 41の周期の切れ目が検出され、SET信号となつてアンドゲート30、31に加わり制御信号a, bの変化をチェックする。

以上のべたように本発明のクロック制御方式によれば、マイクロ命令の特定フィールドにクロック周期の切換え制御信号を入れておき、この信号によつてクロックの周期を変化させることができるので、論理パスに応じて制御タイミングを与え

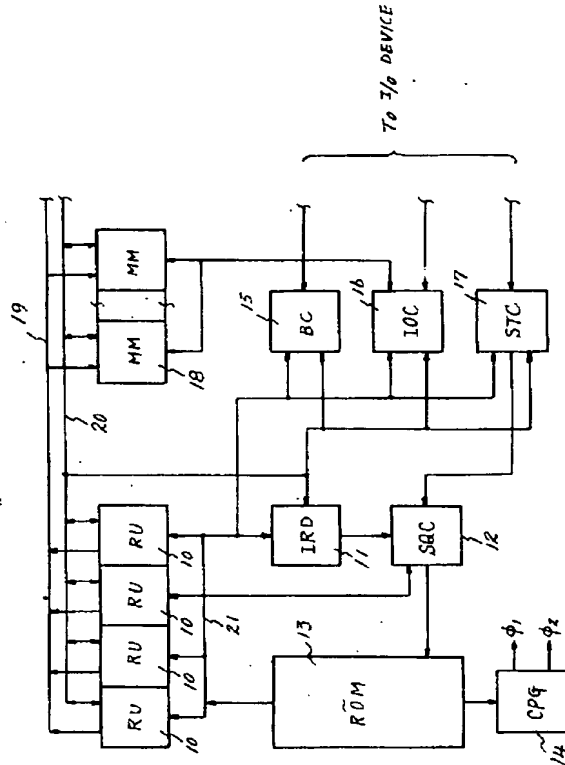
ることができ、高速な処理速度を実現することが可能になるなどその効果は極めて顕著である。

図面の簡単な説明

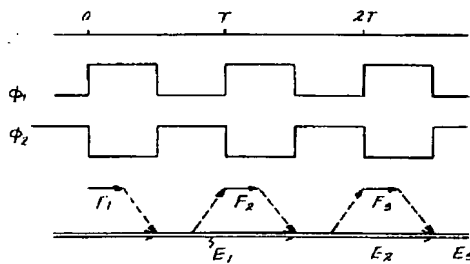
第1図は本発明のクロック制御方式を採用している高速16ビットマイクロプロセッサのシステム構成図、第2図は上記マイクロプロセッサの実行制御の基本タイミング、第3図は本発明のクロック制御方式を導入したときの実行制御タイミング、第4図は本発明の一実施例を示すクロック制御回路の論理回路図、第5図はその動作を説明するためのタイムチャートである。

代理人 弁理士 薄田利幸

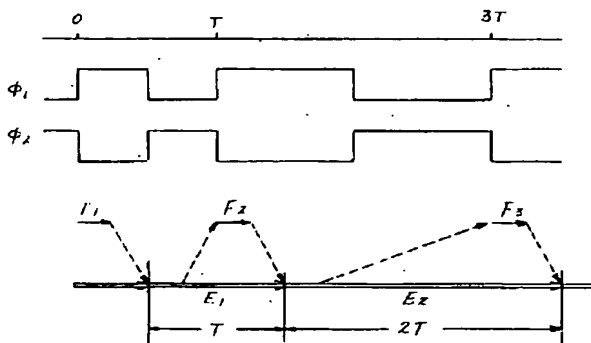
第1図



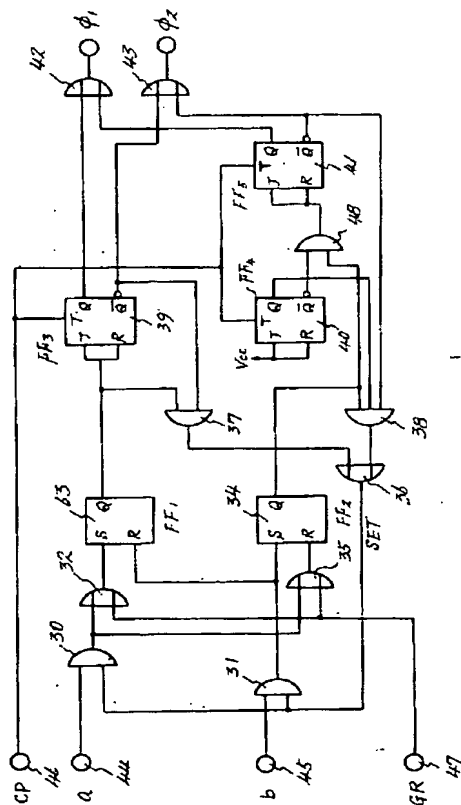
第2図



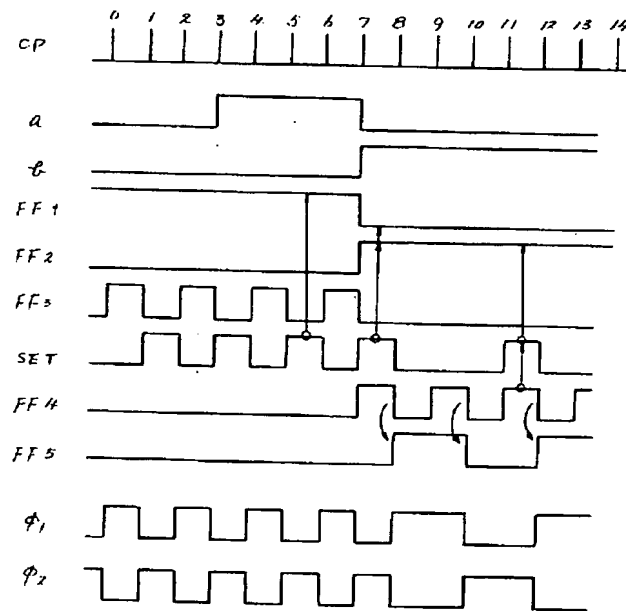
第3図



第4図



第 5 図



The following are a translation of the enclosed parts A, B, C and D of Japanese Laid-Open Patent Application No. S52-109841.

A) As described above, in the basic execution control of the microprocessor, the fetch and the execution of the microinstruction are performed so as to overlap.

B) This is because the length of the period of the clock pulse when the microinstruction read out in the fetch F2 is executed is written in a specific bit field of the microinstruction and ...

C) This circuit is a circuit of a function of switching the period of the clock to either T or 2T according to the control signal from the microinstruction.

D) To control input terminals 44 and 45, signals (a, b) obtained by decoding the clock control bit in the microinstruction is inputted.